

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

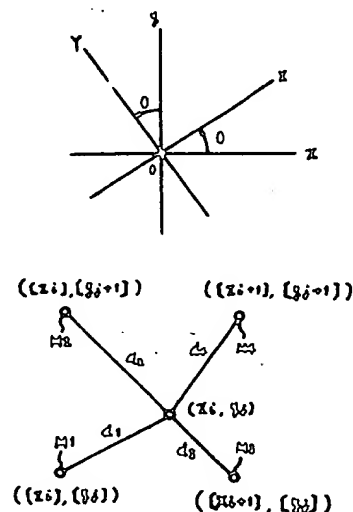
IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

- (54) **PROJECTION FORMATION CIRCUIT**
 (11) 55-33287 (A) (43) 8.3.1980 (19) JP
 (21) Appl. No. 53-106504 (22) 31.8.1978
 (71) FUJITSU K.K. (72) MASASHI NIWA(4)
 (51) Int. Cl.³ G06K9/46

PURPOSE: To make high-precision projection possible by finding a picture value by interpolating in the (θ) -directional projection formation of a light-and-shape pattern.

CONSTITUTION: The (θ) -directional projection of input light-and-shape pattern $f(x, Y)$ can be obtained by finding value $f(X_i, Y_i)$ of a picture on coordinate system (X, Y) obtained by turning coordinate system (x, y) by angle of (θ) and then by adding it along the X axis. Namely, projection P is expressed by $P(Y_i) = \sum F(X_i, Y_i)$. Since old coordinates (x_i, y_i) does not agree with lattice point (X_i, Y_i) of new coordinates in general, $f(x_i, y_i)$ can be obtained by interpolating from picture values (f_1) to (f_4) of lattice points M_1 to M_4 surrounding (x_i, y_i) . Namely, $f(X_i, Y_i)$ can be obtained by weighting (f_1) to (f_4) in inverse proportion to distances (d_1) to (d_4) and then by integrating and normalizing and $f(X_i, Y_i)$ is summed up along the X axis to obtain the projection.

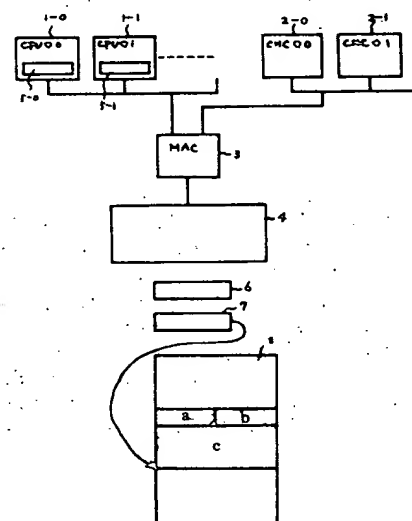


(54) **HYSTERESIS RECORDING CONTROL SYSTEM OF MULTI-PROCESSOR SYSTEM**

- (11) 55-33288 (A) (43) 8.3.1980 (19) JP
 (21) Appl. No. 53-106507 (22) 31.8.1978
 (71) FUJITSU K.K. (72) SABUROU KANEDA
 (51) Int. Cl.³ G06F15/16, G06F11/16

PURPOSE: To eliminate rearrangement of event information by providing one hysteresis memory shared by the whole system and writing the event information under the condition that the memory is not used by another processor.

CONSTITUTION: An event assigned in central processor 1-0, when occurring, is detected by central processor 1-0 to read lock bit 6 and hysteresis counter 7. If lock bit 6 is [0], event information, an address assigned by hysteresis counter 7 and a write signal are sent to memory access control part 3. Consequently, hysteresis information is written by hysteresis memory 8 shared by several central processors 1. Even if an event occurs to central processor 1-1 while central processor 1-0 is in process of writing the event information, processor 1-1 is unable to write information because of lock bit 6 of [0] and the write operation is done after lock bit 6 is reset.



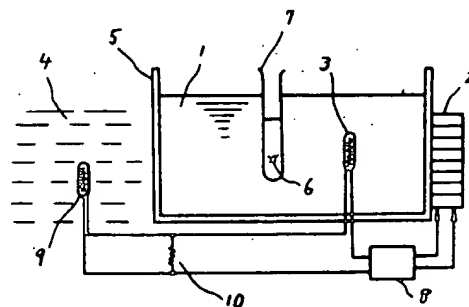
a: event discrimination, b: CPU signal, c: characteristic information basing upon event information, 4: main memory

(54) **TEMPERATURE CONTROLLER**

- (11) 55-33289 (A) (43) 8.3.1980 (19) JP
 (21) Appl. No. 53-106575 (22) 30.8.1978
 (71) HITACHI SEISAKUSHO K.K. (72) KATSUAKI TAKAHASHI(2)
 (51) Int. Cl.³ G05D23/20, G05D23/24

PURPOSE: To make temperature control at a specific place possible by providing temperature detecting elements in an atmosphere and at the circumference of the specific place respectively and by connecting these elements in series when controlling the temperature at the specific place isolated from the atmosphere by heating or cooling.

CONSTITUTION: Water 1, a thermal conductor, is poured into container 5 and thermistor 3 and material 7, a temperature controlled object, are placed under this water to control heating cooler 2 by detecting the temperature of the water by thermistor 3, thereby keeping the temperature at external point 6 of material 7 constant. In this case, another thermistor 9 is provided to in atmosphere 4, and thermistor 3 under the water mentioned above and thermistor 9 in the atmosphere are connected in series so as to control the heating cooler via control circuit 8, thereby suppressing the drift of the material object due to temperature variation in the atmosphere.



⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭55—33288

⑫ Int. Cl.³
G 06 F 15/16
11/16

識別記号

庁内整理番号
7165—5B
7368—5B

⑬ 公開 昭和55年(1980)3月8日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ マルチプロセッサ・システムにおける履歴記
録制御方式

⑯ 特 願 昭53—106507
⑰ 出 願 昭53(1978)8月31日
⑱ 発 明 者 金田三郎

川崎市中原区上小田中1015番地
富士通株式会社内
⑲ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑳ 代 理 人 弁理士 京谷四郎

明 細 書

1. 発明の名称

マルチプロセッサ・システムにおける履歴記録
制御方式

2. 特許請求の範囲

複数のプロセッサと、該複数のプロセッサによ
つて共用される主メモリとを備えるマルチプロセ
ッサの事象情報が記録される履歴メモリと、事象
情報の書き込みエリアを指定する履歴カウンタと、
事象情報の上記履歴メモリへの書き込み処理が実行
中であることを表示するロック・ビット部とを設
け、プロセッサに外部より指定された事象が生起
した時、当該プロセッサが上記ロック・ビットの
内容を読取り、他のプロセッサによる事象情報の
履歴メモリへの書き込みが行われていないことを条
件として当該事象情報を上記履歴カウンタで指定
された履歴メモリのエリアへ書き込むことを特徴と
するマルチプロセッサ・システムにおける履歴記

録制御方式。

3. 発明の詳細な説明

本発明は、マルチプロセッサ・システムにかけ
る履歴記録制御方式に関するものである。

マルチプロセッサ・システムにおいて、イベン
ト(事象)の履歴を記録することは、ハードウエ
アおよびソフトウェアをテパツクするために非常
に役立つ。本出願によつて、さきに特許出願され
たマルチプロセッサ・システムにおける履歴記録
方式は、各プロセッサ毎に履歴情報を蓄積するメ
モリを設け、そのメモリにイベントに関する情報
と共に時計情報を格納するものである。この従来
方式では、イベントの発生順序を決めるには、各
プロセッサの履歴メモリの内容を読出し、イベン
ト発生時刻を基にしてイベント情報を並べ換える
必要があり、複雑な処理が必要であつた。

本発明は、上記の欠点を除去するものであつて、
イベント情報を発生時刻に従つて並べ換える必要
のないマルチプロセッサシステムにおける履歴記

録制御方式を提供することを目的としている。そしてそのため、本発明のマルチプロセッサ・システムにおける履歴記憶制御方式は、複数のプロセッサと、該複数のプロセッサによつて共用される主メモリとを備えるマルチプロセッサ・システムにおいて、上記複数のプロセッサの事象情報が記録される履歴メモリと、事象情報の書き込みエリアを指定する履歴カウンタと、事象情報の上記履歴メモリへの書き込み処理が実行中であることを表示するロック・ビット部とを設け、プロセッサに外部より指定された事象が生起した時、当該プロセッサが上記ロック・ビットの内容を読取り、他のプロセッサによる事象情報の履歴メモリへの書き込みが行われていないことを条件として当該事象情報を上記履歴カウンタで指定された履歴メモリのエリアへ書き込むことを特徴とするものである。以下、本発明を図面を参照しつつ説明する。

第1図は、本発明が適用されるマルチプロセッサ・システムの概要を示す図、第2図は、履歴メモリの内容を示す図、第3図は、履歴制御回路の

構成を示す図である。第1図において、1-0と1-1は中央処理装置、2-0と2-1はチャネル制御装置、3はメモリ・アクセス制御部、4は主メモリ、5-0と5-1は履歴制御回路をそれぞれ示している。各中央処理装置1-0、1-1に対して、如何なる事象の履歴を記録すべきかを予め外部から指示する。履歴を記録すべき事象としては例えばオペランド・アドレスが一致したと、命令アドレスが一致したこともしくは分岐が行われたこと等がある。

第2図は、履歴メモリの内容を示すものであつて、6はロック・ビット(Lock Bit)記憶部、7は履歴カウンタ、8は履歴記憶部を示している。これらのロック・ビット記憶部、履歴カウンタ7、履歴記憶部8は主メモリ4に準備されている。ロック・ビットは、或る中央処理装置が履歴記憶部8にイベント情報を書き込んでいるとき、論理「1」とされる。ロック・ビットが論理「1」であると、他の中央処理装置がイベント情報を履歴記憶部8に書き込むことが出来ない。履歴カウンタ7は、イ

ベント情報を書き込む番地を指示するものであり、1つのイベント情報の書き込みが終了すると、その内容は+1される。履歴カウンタ7は最大数を計数した後は、初期値に戻る。イベント情報は、イベントの種類、中央処理装置の番号およびイベントの種類に基づく固有な情報などを含んでいる。イベントの種類に基づく固有な情報とは、例えば分岐が行われた場合におけるその分岐命令のアドレスなどである。

第3図は、履歴制御回路の構成を示すものであつて、9はローカル・メモリ・アドレス・レジスタ、10はローカル・メモリ、11-0ないし11-2は作業用レジスタ、12は演算論理ユニット、13はムーバをそれぞれ示している。ローカル・メモリ10内のロック・ワード・アドレスとは、ロック・ビット記憶部6のアドレスを指示し、カウンタ・ワード・アドレスとは履歴カウンタ7のアドレスを示している。

いま、例えば中央処理装置1-0内に指定されたイベントが発生したと仮定する。中央処理装置

1-0は、指定されたイベントが発生したことを検出すると、ロック・ビット6および履歴カウンタ7の内容を読み取る。そして、ロック・ビット6が論理「0」であれば、イベント情報、イベント情報を書き込むアドレスおよび書き込み信号を、作業レジスタ11-0、11-1又は11-2および演算論理ユニット12を経由してメモリ・アクセス制御部3へ送る。これにより、イベント情報が履歴記憶部8の指定されたエリアに書き込まれる。

中央処理装置1-0がイベント情報を書き込んでいるとき、中央処理装置1-1に指定されたイベントが発生したとする。この時、ロック・ビット6が論理「1」となつているので、中央処理装置1-1のイベント情報の書き込みは行われぬ。そして、ロック・ビット6が解除されると、中央処理装置1-1のイベント情報が履歴記憶部8に書き込まれる。

以上の説明から明らかなように、本発明によれば、複数のプロセッサを有するマルチプロセッサ・システムにおいて、全システムで共用される1

ス・レジスタ、11-1ないし11-2-作業用
レジスタ、12-演算論理ユニット、13-ムー
バ。

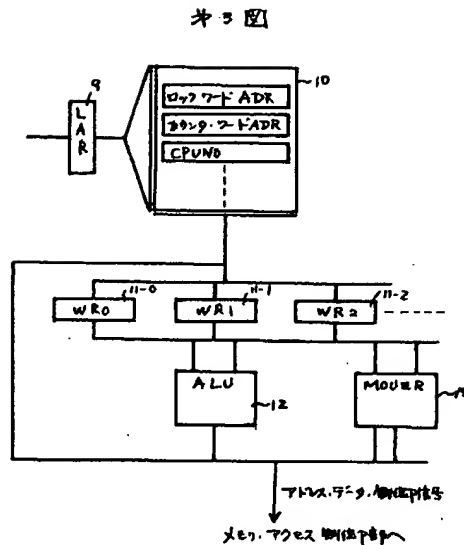
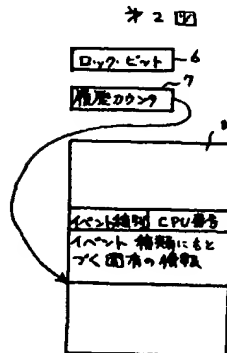
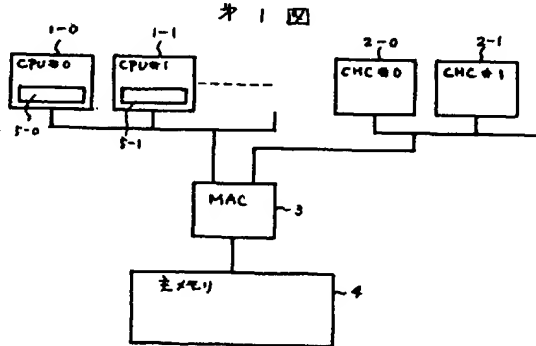
特許出願人 富士通株式会社
代理人 弁理士 京谷 四郎

個の履歴メモリを設け、プロセッサに指定された
イベントが発生した時、他のプロセッサが履歴メ
モリを使用していないことを条件としてイベント
情報の履歴メモリへの 込みを行い、他のプロセ
ッサの履歴メモリを使用している場合にはその使
用の終了を待つてイベント情報の書き込みを行つ
てゐるので、従来方式のように発生時刻を基に
してイベント情報を並べ換えるという処理が不要
となる。

4. 図面の簡単な説明

第1図は本発明が適用されるマルチプロセッサ
・システムの概要を示す図、第2図は履歴メモリ
の内容を示す図、第3図は履歴制御回路の構成を
示す図である。

1-0と1-1-中央処理装置、2-0と2-1-
チャネル制御装置、3-メモリ・アクセス制
御部、4-主メモリ、5-0と5-1-履歴制御
回路、6-ロック・ビット、7-履歴カウンタ、
8-履歴記憶部、9-ローカル・メモリ・アドレ



手続補正 (自発)

補正の内容

昭和53年9月22日

特許庁長官 熊谷 二 殿

1. 事件の表示 昭和53年特許願オ106507号

2. 発明の名称

マルチプロセッサ・システムにおける履歴記録制御方式

3. 補正をする者

事件との関係 特許出願人

住 所 神奈川県川崎市中原区上小田中1015番地

氏 名 (522) 富士通株式会社

代表者 小 林 大 祐

4. 代理人

住 所 東京都荒川区西日暮里4丁目17番1号

佐原マンション3F B

氏 名 (8089) 弁護士 京 谷 四 郎

5. 補正により増加する発明の数

6. 補正の対象 明 細 書

7. 補正の内容 別紙の通り



(1) 特許請求の範囲を次のように補正する。

「複数のプロセッサと、該複数のプロセッサによつて共用される主メモリとを備えるマルチプロセッサ・システムにおいて、上記複数のプロセッサの事象情報が記録される履歴メモリと、事象情報の書き込みエリアを指定する履歴カウンタと、事象情報の上記履歴メモリへの書き込み処理が実行中であることを表示するロック・ビット部とを設け、プロセッサに外部より指定された事象が生起した時、当該プロセッサが上記ロック・ビットの内容を脱取り、他のプロセッサによる事象情報の履歴メモリへの書き込みが行われていないことを条件として当該事象情報を上記履歴カウンタで指定された履歴メモリのエリアへ書き込むことを特徴とするマルチプロセッサ・システムにおける履歴記録制御方式。」

(2) オ2頁オ8行の「本出願によつて」を「本出願人によつて」と補正する。

以上